

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-154168

(43) 公開日 平成11年(1999) 6月8日

(51) Int.Cl.⁶

G 0 6 F 17/50

H 0 1 L 21/82

識別記号

F I

G 0 6 F 15/60

H 0 1 L 21/82

6 6 8 A

C

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21) 出願番号 特願平9-322927

(22) 出願日 平成9年(1997)11月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 玉野 正剛

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

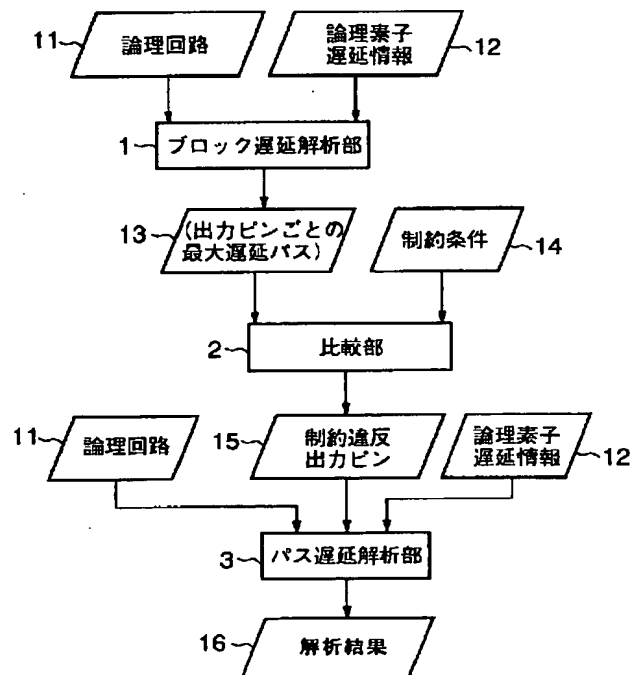
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 遅延解析システムおよび遅延解析方法

(57) 【要約】

【課題】メモリ使用量の小量化および解析処理の効率化を図ることのできる遅延解析システムおよび遅延解析方法を提供する。

【解決手段】ブロック遅延解析部1は、論理回路モデル11と論理素子それぞれに固有の遅延情報を示す論理素子遅延情報12とを入力し、論理回路の出力ピンごとに最大遅延時間をもつパスを求めて最大遅延パス13として出力する。比較部2は、この出力された最大遅延パス13と論理回路に定められた制約条件14とを入力し、制約条件を満たさない出力ピンを検出して制約違反出力ピン15として出力する。そして、パス遅延解析部3は、この出力された制約違反出力ピン15と論理回路モデル11および論理素子遅延情報12とを入力し、制約違反出力ピン15で示される出力ピンを出力先とするパスのみを論理回路から抽出するとともに、その遅延時間を算出して解析結果16として出力する。



【特許請求の範囲】

【請求項1】 論理回路モデルの出力ピンごとの最大遅延時間を論理素子の遅延情報から得るブロック遅延解析手段と、

前記ブロック遅延解析手段により得られた出力ピンごとの最大遅延時間から予め定められた制約条件を満たさない出力ピンを検出する検出手段と、

前記検出手段により検出された出力ピンを出力先とする経路を前記論理回路モデル内から抽出してその遅延時間を前記論理素子の遅延情報から得るパス遅延解析手段とを具備することを特徴とする遅延解析システム。

【請求項2】 論理回路モデル内に含まれる複数の論理素子からなる部分回路をブラックボックス化するソフトマクロを抽出する抽出手段と、

前記抽出手段により抽出されたソフトマクロの遅延情報を前記論理素子の遅延情報から得るソフトマクロ遅延情報取得手段とをさらに具備し、

前記ブロック遅延解析手段は、前記論理回路モデルの出力ピンごとの最大遅延時間を前記論理素子の遅延情報と前記ソフトマクロ遅延情報取得手段により得られたソフトマクロの遅延情報とから得る手段を有することを特徴とする請求項1記載の遅延解析システム。

【請求項3】 論理回路モデル内に含まれる複数の論理素子からなる部分回路をブラックボックス化するソフトマクロを抽出する抽出手段と、

前記抽出手段により抽出されたソフトマクロの遅延情報を前記論理素子の遅延情報から得るソフトマクロ遅延情報取得手段とをさらに具備し、

前記パス遅延解析手段は、前記検出手段により検出された出力ピンを出力先とする前記論理回路モデル内の経路の遅延時間を前記論理素子の遅延情報と前記ソフトマクロ遅延情報取得手段により得られたソフトマクロの遅延情報とから得る手段を有することを特徴とする請求項1記載の遅延解析システム。

【請求項4】 論理回路モデルの出力ピンごとの最大遅延時間を論理素子の遅延情報から得るステップと、

前記得られた出力ピンごとの最大遅延時間から予め定められた制約条件を満たさない出力ピンを検出するステップと、

前記検出された出力ピンを出力先とする経路を前記論理回路モデル内から抽出してその遅延時間を前記論理素子の遅延情報から得るステップとを具備することを特徴とする遅延解析方法。

【請求項5】 論理回路モデルの出力ピンごとの最大遅延時間を論理素子の遅延情報から得て、

この得られた出力ピンごとの最大遅延時間から予め定められた制約条件を満たしていない出力ピンを検出し、

この検出された出力ピンを出力先とする経路を前記論理回路モデル内から抽出してその遅延時間を前記論理素子の遅延情報から得るようにコンピュータを動作させるプ

ログラムを記録したコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、コンピュータを用いたLSI (Large Scale Integrated circuit: 大規模集積回路) などの設計業務に適用して好適な遅延解析システムおよび遅延解析方法に係り、特にメモリ使用量の小量化および解析処理の効率化を図ることのできる遅延解析システムおよび遅延解析方法に関する。

【0002】

【従来の技術】近年、論理回路の大規模化が急速に進んでおり、この大規模化に伴って、その設計過程における遅延時間の計算および解析に膨大な時間が掛かるようになってきた。

【0003】この論理回路の遅延解析では、予め定められた遅延の制約を満たさないパスを求める作業が必要となる。すなわち、大規模化が進んだ数百万セル（論理素子）におよぶ論理回路において、制約を満たさないパスを求めるためには、その数百万セルとそれらを辿るパスとを解析する作業が必要となる。

【0004】たとえば、図16に示すような論理回路モデルに対して遅延解析を施す場合であって、図17に示すような制約条件がこの論理回路モデルに定められている場合には、まず、図18に示すように、論理回路モデル内に含まれるすべてのパスの経路を抽出するとともに、その遅延値を算出する。そして、その算出された遅延値と制約条件とを比較することによって、図19に示すような制約条件を満たさないパスの経路を検出する。なお、図16中、I1～I14は入力ピン、O1～O4は出力ピン、およびa1～a7、b1～b6ならびにc1～c4はセルを表している（以下、同じ）。このように、数百万セルとそれらを辿るパスとの解析をすべて行なうため、論理回路の遅延解析では、膨大なメモリ量と計算時間とが費やされてしまう。

【0005】

【発明が解決しようとする課題】このように、従来においては、論理回路のセルやそれらを辿るパスをすべて解析する必要があったため、解析時間が膨大になり、また、この解析に必要とされるメモリ量が膨大になるなどといった問題があった。

【0006】この発明はこのような実情に鑑みてなされたものであり、メモリ使用量の小量化および解析処理の効率化を図ることのできる遅延解析システムおよび遅延解析方法を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明は、前述した目的を達成するために、まず、論理回路モデルの出力ピンごとの最大遅延時間を論理素子の遅延情報から得て、こ

10

20

30

40

50

3

の得られた出力ピンごとの最大遅延時間から予め定められた制約条件を満たさない出力ピンを検出するようにしたものである（ブロック遅延解析）。そして、これにより検出された制約条件を満たさない出力ピンのみを遅延解析（その出力ピンを出力先とする経路の抽出およびその遅延時間の算出：パス遅延解析）の対象とするようにしたものである。

【0008】すなわち、この発明によれば、従来のようにすべてのセルとそれらを辿るパスとを解析する場合と比較して、その前段階で解析対象を大幅に絞り込むことができるため、メモリ使用量の小量化および解析処理の効率化を図ることができることになる。

【0009】また、論理回路モデルの出力ピンごとの最大遅延時間を算出する処理、および検出された出力ピンを出力先とする論理回路モデル内の経路の遅延時間を算出する処理の少なくとも一方で、論理回路モデル内に含まれる複数の論理素子からなる部分回路をブラックボックス化するソフトマクロを取り扱い可能とすることによって、メモリ使用量の小量化および解析処理の効率化をさらに図ることを可能とする。

【0010】

【発明の実施の形態】以下、図面を参照してこの発明の実施形態について説明する。

（第1実施形態）まず、この発明の第1実施形態を説明する。図1は、この第1実施形態に係る遅延解析システムの機能ブロックを示す図である。

【0011】図1に示すように、この第1実施形態の遅延解析システムは、ブロック遅延解析部1、比較部2およびパス遅延解析部3の各処理部を備えている。なお、これらの各処理部は、この第1実施形態の遅延解析システムが稼働するコンピュータに搭載されたCPUによって実行制御されるプログラムとして構成されるものである。

【0012】ブロック遅延解析部1は、論理回路をコンピュータが読み取り可能に表現した論理回路モデル11と論理素子それぞれに固有の遅延情報を示す論理素子遅延情報12とを入力し、論理回路の出力ピンごとに最大遅延時間をもつパスを求めて最大遅延パス13として出力するものである。このブロック遅延解析は、たとえばいわゆる最短経路の解法によって実現することが可能である。

【0013】比較部2は、ブロック遅延解析部1が出力する最大遅延パス13と論理回路に定められた制約条件14とを入力し、制約条件14で示される値よりも大きい遅延値をもつ出力ピン、すなわち、制約条件を満たさない出力ピンを検出して制約違反出力ピン15として出力するものである。

【0014】そして、パス遅延解析部3は、比較部2が出力する制約違反出力ピン15と論理回路モデル11および論理素子遅延情報12とを入力し、この制約違反出

4

力ピン15で示される出力ピンを出力先とするパスのみを論理回路から抽出するとともに、この抽出したパスの遅延時間を算出して解析結果16として出力するものである。

【0015】すなわち、この第1実施形態の遅延解析システムは、論理回路の出力ピンごとの最大遅延時間を求めるブロック遅延解析部1を設けることで、後工程での解析対象を大幅に絞り込む点を特徴としており、これによって、メモリ使用量の小量化および解析処理の効率化を実現するものである。

【0016】ここで、図2に示すような論理回路モデルに対して遅延解析を施す場合を考える。そして、この論理回路モデルには、図3に示すような制約条件が定められているものとする。この場合、この第1実施形態の遅延解析システムでは、まず、ブロック遅延解析部1が、図2に示した論理回路モデル11と論理素子遅延情報12とを入力し、論理回路モデル11の出力ピン（O1～O4）ごとに最大遅延時間をもつパスを求めて、最大遅延パス13（図4）として出力する。

【0017】次に、比較部2が、図4に示す最大遅延パス13と図3に示す制約条件14とを入力し、制約条件を満たさない出力ピン（ここではO1）を検出して、制約違反出力ピン15として出力する。この段階でその他の出力ピン（ここではO2～O4）を解析対象から除外できることが判明する。

【0018】その後、パス遅延解析部3が、比較部2が出力する制約違反出力ピン15と論理回路モデル11および論理素子遅延情報12とを入力し、この制約違反出力ピン15で示される出力ピンを出力先とするパスのみを論理回路から抽出するとともに、この抽出したパスの遅延時間を算出して解析結果16（図5）として出力する。

【0019】すなわち、この第1実施形態の遅延解析システムでは、パス遅延解析部3が解析対象とするパスを前工程で大幅に削減することになるため、メモリ使用量の小量化および解析処理の効率化が実現されることになる。

【0020】（第2実施形態）次に、この発明の第2実施形態を説明する。図6は、この第2実施形態に係る遅延解析システムの機能ブロックを示す図である。

【0021】この第2実施形態の遅延解析システムの前述した第1実施形態の遅延解析システムとの構成上の違いは、ソフトマクロ遅延情報作成部4を追加して備えた点にある。また、この第2実施形態の遅延解析システムでは、ブロック遅延解析部1がソフトマクロを取り扱い可能に構成される点を特徴とする。なお、このソフトマクロ遅延情報作成部4は、この第2実施形態の遅延解析システムが稼働するコンピュータに搭載されたCPUによって実行制御されるプログラムとして構成されるものである。

10

20

30

40

50

【0022】ソフトマクロとは、複数の論理素子からなる部分回路をブラックボックス化するものであり、このソフトマクロを用いることによって、論理回路モデル11を簡単化することが可能となる。そして、ソフトマクロ遅延情報作成部4は、論理回路モデル11と論理素子遅延情報12とを入力し、この論理回路モデル11に含まれるソフトマクロを抽出するとともに、この抽出したソフトマクロの遅延情報をソフトマクロ遅延情報17として出力するものである。

【0023】そして、この第2実施形態のブロック遅延解析部1は、論理回路モデル11と論理素子遅延情報12とに加えて、ソフトマクロ遅延情報作成部4が出力するソフトマクロ遅延情報17をも入力し、論理回路の出力ピンごとに最大遅延時間をもつパスを求めて、最大遅延パス13として出力する。

【0024】すなわち、この第2実施形態の遅延解析システムは、前述したブロック遅延解析部1が後工程での解析対象を大幅に絞り込むことに加えて、ブロック遅延解析部1がソフトマクロを取り扱い可能とすることで、ブロック遅延解析部1自体の解析処理の効率化を実現するものである。

【0025】ここで、図7に示すような論理回路に対して遅延解析を施す場合を考える。図7(a)は論理回路モデルであり、図7(b)はこの論理回路モデルに含まれるソフトマクロの内部回路である。そして、図7

(a)中のa1～a7が図7(b)に示すソフトマクロであるとする。また、この論理回路モデルには、図8に示すような制約条件が定められているものとする。

【0026】この場合、この第2実施形態の遅延解析システムでは、まず、ソフトマクロ遅延情報作成部4が、図7に示した論理回路モデル11と論理素子遅延情報12とを入力し、この論理回路モデル11に含まれるソフトマクロを抽出するとともに、この抽出したソフトマクロの遅延情報をソフトマクロ遅延情報17(図9)として出力する。

【0027】次に、ブロック遅延解析部1が、図7に示した論理回路モデル11と論理素子遅延情報12とソフトマクロ遅延情報作成部4が出力したソフトマクロ遅延情報17とを入力し、論理回路モデル11の出力ピン

(O1～O4)ごとに最大遅延時間をもつパスを求めて、最大遅延パス13(図10)として出力する。このように、ブロック遅延解析部1がソフトマクロを取り扱うことにより、メモリ使用量の削減と解析処理の効率化が図られることになる。

【0028】以下、第1実施形態と同様に、比較部2が、図10に示す最大遅延パス13と図8に示す制約条件14とを入力し、制約条件を満たさない出力ピン(ここではO1とO2)を検出して、制約違反出力ピン15として出力する。そして、パス遅延解析部3が、比較部2が出力する制約違反出力ピン15と論理回路モデル1

1および論理素子遅延情報12とを入力し、この制約違反出力ピン15で示される出力ピンを出力先とするパスのみを論理回路から抽出するとともに、この抽出したパスの遅延時間を算出して解析結果16(図11)として出力する。なお、このときパス遅延解析部3は、ソフトマクロに関しては内部回路を用いて解析を実行する。

【0029】このように、ソフトマクロ遅延情報作成部4を追加して設け、ブロック遅延解析部1がソフトマクロを取り扱い可能とすることにより、さらなるメモリ使用量の小量化および解析処理の効率化が図られることになる。

【0030】(第3実施形態)次に、この発明の第3実施形態を説明する。図12は、この第3実施形態に係る遅延解析システムの機能ブロックを示す図である。

【0031】この第3実施形態の遅延解析システムの前述した第2実施形態の遅延解析システムとの構成上の違いは、遅延情報マージ部5を追加して備えた点にある。また、この第3実施形態の遅延解析システムでは、さらにパス遅延解析部3がソフトマクロを取り扱い可能に構成される点を特徴とする。なお、この遅延情報マージ部5は、この第3実施形態の遅延解析システムが稼働するコンピュータに搭載されたCPUによって実行制御されるプログラムとして構成されるものである。

【0032】この第3実施形態のパス遅延解析部3は、論理回路モデル11、論理素子遅延情報12および制約違反出力ピン15に加えて、ソフトマクロ遅延情報作成部4が出力するソフトマクロ遅延情報17をも入力し、この制約違反出力ピン15で示される出力ピンを出力先とするパスのみを論理回路から抽出するとともに、この抽出したパスの遅延時間を算出して解析結果16aとして出力する。また、第2実施形態のパス遅延解析部3とは異なり、ソフトマクロを内部回路を用いて解析するのではなく、ソフトマクロそのままの状態(内部回路をブラックボックス化した状態)で解析する。

【0033】その後、遅延情報マージ部5が、パス遅延解析部3が出力する解析結果16a、制約条件14およびソフトマクロ遅延情報作成部4が出力するソフトマクロ遅延情報17とを入力し、解析結果16aで示されるパスのうち、制約条件を満たさないパスのみを解析結果16bとして出力する。そして、このときに、遅延情報マージ部5は、そのパスに含まれるソフトマクロを内部回路に展開する。

【0034】すなわち、この第3実施形態の遅延解析システムは、前述したブロック遅延解析部1に加えて、パス遅延解析部3をもソフトマクロを取り扱い可能とすることで、さらなる解析処理の効率化を実現するものである。

【0035】ここで、前述の図7に示すような論理回路に対して遅延解析を施す場合を考える。また、この論理回路モデルには、前述と同様に図8に示すような制約条

10

20

30

40

50

件が定められているものとする。

【0036】この場合、この第3実施形態の遅延解析システムでは、まず、ソフトマクロ遅延情報作成部4が、図7に示した論理回路モデル11と論理素子遅延情報12とを入力し、この論理回路モデル11に含まれるソフトマクロを抽出するとともに、この抽出したソフトマクロの遅延情報をソフトマクロ遅延情報17（図13）として出力する。なお、この第3実施形態のソフトマクロ遅延情報作成部4は、ソフトマクロそれぞれのパス情報も合わせて出力する。

【0037】次に、ブロック遅延解析部1が、図7に示した論理回路モデル11と論理素子遅延情報12とソフトマクロ遅延情報作成部4が出力した図13に示すソフトマクロ遅延情報17とを入力し、論理回路モデル11の出力ピン（O1～O4）ごとに最大遅延時間をもつパスを求めて、最大遅延パス13（図14）として出力する。

【0038】その後、比較部2が、図14に示す最大遅延パス13と図8に示す制約条件14とを入力し、制約条件を満たさない出力ピン（ここではO1とO2）を検出して、制約違反出力ピン15として出力する。

【0039】そして、パス遅延解析部3が、比較部2が出力する制約違反出力ピン15と論理回路モデル11および論理素子遅延情報12とを入力し、この制約違反出力ピン15で示される出力ピンを出力先とするパスのみを論理回路から抽出するとともに、この抽出したパスの遅延時間を算出して解析結果16a（図14）として出力する。

【0040】また、さらに、遅延情報マージ部5が、パス遅延解析部3が出力する解析結果16a、制約条件14およびソフトマクロ遅延情報作成部4が出力するソフトマクロ遅延情報17とを入力し、解析結果16aで示されるパスのうち、制約条件を満たさないパスのみをソフトマクロの展開を行ないながら解析結果16b（図15）として出力する。

【0041】このように、ブロック遅延解析部1に加えて、パス遅延解析部3をもソフトマクロを取り扱い可能とすることにより、さらなるメモリ使用量の小量化および解析処理の効率化が図られることになる。

【0042】なお、この発明の手法は、ソフトウェアとしての実現が可能であるため、コンピュータによって実行させることのできるプログラムとして、フロッピーディスク、光ディスクおよび半導体メモリなどのコンピュータ読み取り可能な記録媒体に格納して頒布することが可能である。そして、この記録媒体の内容を読み取ったコンピュータは、その読み取ったプログラムを実行制御することにより、前述した処理の実行を実現する。

【0043】

【発明の効果】以上詳述したように、この発明によれば、まず、論理回路の出力ピンごとの最大遅延時間を求

め、予め定められた制約条件を満たさない出力ピンを検出することによって、後工程での解析対象を大幅に絞り込むことにより、メモリ使用量の小量化および解析処理の効率化を図ることが可能となる。

【0044】また、出力ピンごとの最大遅延時間を算出する処理、および検出された出力ピンを出力先とする論理回路モデル内の経路の遅延時間を算出する処理でソフトマクロを取り扱い可能とすることにより、メモリ使用量の小量化および解析処理の効率化をさらに図ることを可能とする。

【図面の簡単な説明】

【図1】この発明の第1実施形態に係る遅延解析システムの機能ブロックを示す図。

【図2】同第1実施形態の論理回路モデルを示す図。

【図3】同第1実施形態の制約条件を示す図。

【図4】同第1実施形態で出力される最大遅延パスを示す図。

【図5】同第1実施形態で出力される解析結果を示す図。

20 【図6】この発明の第2実施形態に係る遅延解析システムの機能ブロックを示す図。

【図7】同第2実施形態の論理回路モデルを示す図。

【図8】同第2実施形態の制約条件を示す図。

【図9】同第2実施形態のソフトマクロ遅延情報を示す図。

【図10】同第2実施形態で出力される最大遅延パスを示す図。

【図11】同第2実施形態で出力される解析結果を示す図。

30 【図12】この発明の第3実施形態に係る遅延解析システムの機能ブロックを示す図。

【図13】同第3実施形態のソフトマクロ遅延情報を示す図。

【図14】同第3実施形態で出力される最大遅延パスを示す図。

【図15】同第3実施形態で出力される解析結果を示す図。

【図16】従来の遅延解析手順を説明するための論理回路モデルを示す図。

40 【図17】従来の遅延解析手順を説明するための制約条件を示す図。

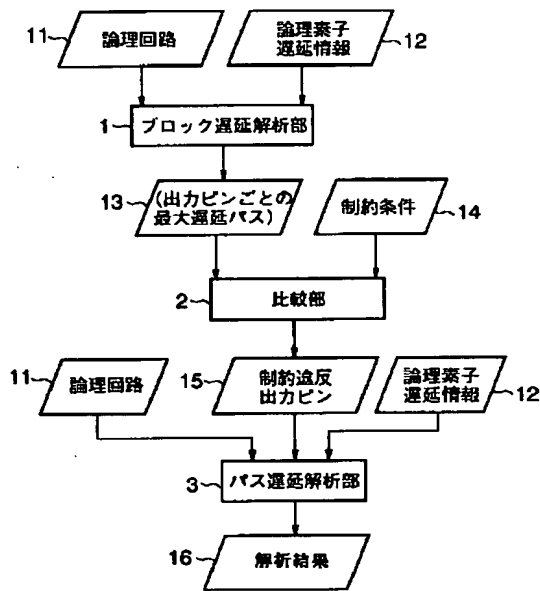
【図18】従来の遅延解析手順で出力されるすべてのパスの遅延情報を示す図。

【図19】従来の遅延解析手順で出力される解析結果を示す図。

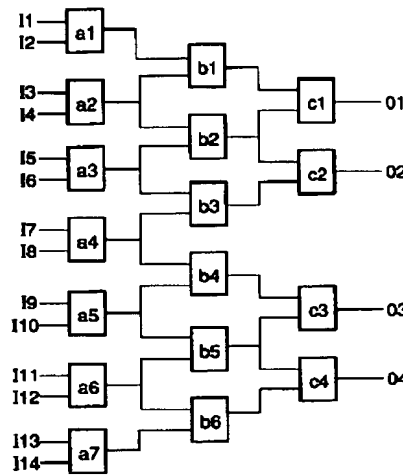
【符号の説明】

1…ブロック遅延解析部、2…比較部、3…パス遅延解析部、11…論理回路モデル、12…論理素子遅延情報、13…最大遅延パス、14…制約条件、15…制約違反出力ピン、16、16a、16b…解析結果。

【図1】



【図2】



【図3】

制約条件	
01の遅延値2以内	
02の遅延値3以内	
03の遅延値4以内	
04の遅延値5以内	

【図8】

制約条件	
01の遅延値2以内	
02の遅延値3以内	
03の遅延値4以内	
04の遅延値5以内	

【図4】

パスの経路	遅延値
I1→a1→b1→c1→O1	3
I3→a2→b2→c2→O2	3
I7→a4→b4→c3→O3	3
I9→a5→b5→c4→O4	3

【図5】

パスの経路	遅延値	制約
I1→a1→b1→c1→O1	3	2
I2→a1→b1→c1→O1	3	2
I3→a2→b1→c1→O1	3	2
I4→a2→b1→c1→O1	3	2
I5→a3→b2→c1→O1	3	2
I6→a3→b2→c1→O1	3	2

【図9】

ピンtoピン	遅延値
X1→Y1	1
X1→Y2	2
X2→Y2	2

【図10】

パスの経路	遅延値
I1→a1(X1→Y2)→b1→c1→O1	4
I3→a2(X1→Y2)→b2→c2→O2	4
I7→a4(X1→Y2)→b4→c3→O3	4
I9→a5(X1→Y2)→b5→c4→O4	4

【図11】

パスの経路	遅延値	制約
I1→a1(X1→a21→a22→Y2)→b1→c1→O1	4	2
I2→a1(X2→a21→a22→Y2)→b1→c1→O1	4	2
I3→a2(X1→a11→Y1)→b1→c1→O1	3	2
I3→a2(X1→a21→a22→Y2)→b2→c1→O1	4	2
I4→a2(X2→a21→a22→Y2)→b2→c1→O1	4	2
I5→a2(X1→a11→Y1)→b1→c1→O1	3	2
I3→a2(X1→a21→a22→Y2)→b2→c2→O2	4	3
I4→a2(X2→a21→a22→Y2)→b2→c2→O2	4	3
I5→a3(X1→a11→Y1)→b2→c2→O2	3	3
I5→a3(X1→a21→a22→Y2)→b3→c2→O2	4	3
I8→a3(X2→a21→a22→Y2)→b3→c2→O2	4	3
I7→a3(X1→a11→Y1)→b3→c2→O2	3	3

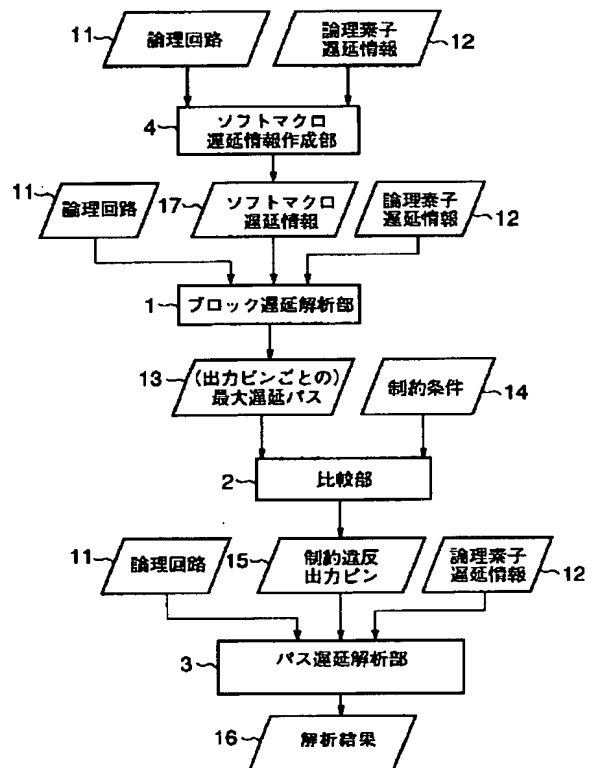
【図13】

ピンtoピン	パス情報	遅延値
X1Y1	X1→a11→Y1	1
X1→Y2	X1→a21→a22→Y2	2
X2→Y2	X2→a21→a22→Y2	2

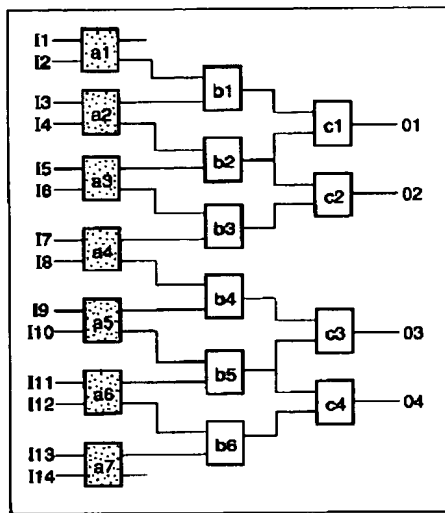
【図17】

制約条件	
01の遅延値2以内	
02の遅延値3以内	
03の遅延値4以内	
04の遅延値5以内	

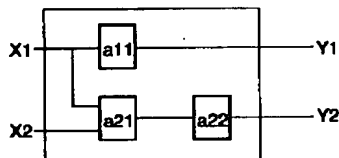
【図6】



【図 7】

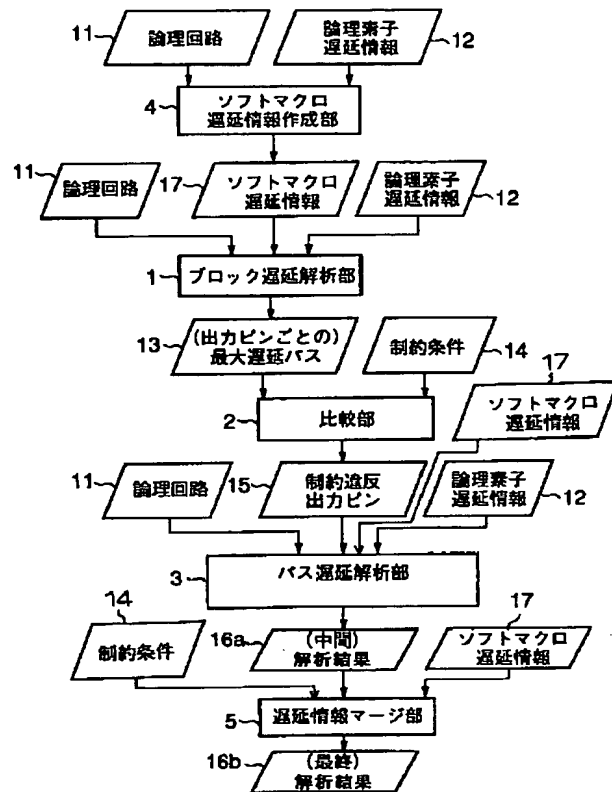


(a)



(b)

【図 12】



【図 14】

バスの経路	遅延値	制約
I1→a1(X1→Y2)→b1→c1→O1	4	2
I2→a1(X2→Y2)→b1→c1→O1	4	2
I3→a2(X1→Y1)→b1→c1→O1	3	2
I3→a2(X1→Y2)→b2→c1→O1	4	2
I4→a2(X2→Y2)→b2→c1→O1	4	2
I5→a2(X1→Y1)→b1→c1→O1	3	2
I3→a2(X1→Y2)→b2→c2→O2	4	3
I4→a2(X2→Y2)→b2→c2→O2	4	3
I5→a3(X1→Y1)→b2→c2→O2(*)	3	3
I5→a3(X1→Y2)→b3→c2→O2	4	3
I6→a3(X2→Y2)→b3→c2→O2	4	3
I7→a3(X1→Y1)→b3→c2→O2(*)	3	3

【図 15】

バスの経路	遅延値	制約
I1→a1(X1→a21→a22→Y2)→b1→c1→O1	4	2
I2→a1(X2→a21→a22→Y2)→b1→c1→O1	4	2
I3→a2(X1→a11→Y1)→b1→c1→O1	3	2
I3→a2(X1→a21→a22→Y2)→b2→c1→O1	4	2
I4→a2(X2→a21→a22→Y2)→b2→c1→O1	4	2
I5→a2(X1→a11→Y1)→b1→c1→O1	3	2
I3→a2(X1→a21→a22→Y2)→b2→c2→O2	4	3
I4→a2(X2→a21→a22→Y2)→b2→c2→O2	4	3
I5→a3(X1→a21→a22→Y2)→b3→c2→O2	4	3
I6→a3(X2→a21→a22→Y2)→b3→c2→O2	4	3

【図 18】

バスの経路	遅延値
I1→a1→b1→c1→O1	3
I2→a1→b1→c1→O1	3
I14→a7→b6→c4→O4	3

【図 19】

バスの経路	遅延値	制約
I1→a1→b1→c1→O1	3	2
I2→a1→b1→c1→O1	3	2
I3→a2→b1→c1→O1	3	2
I4→a2→b1→c1→O1	3	2
I5→a3→b2→c1→O1	3	2
I6→a3→b2→c1→O1	3	2

【図 16】

